

# Modellierung von ESD Schutzelementen mit Snapback-Verhalten

Carina Austermann<sup>1</sup>, Stanislav Scheier<sup>1</sup>, Stephan Frei<sup>1</sup>, Jerzy Kudlaty<sup>2</sup>

(1) Technische Universität Dortmund, AG Bordsysteme, Friedrich-Wöhler-Weg 4, 44227 Dortmund

(2) EPCOS OHG, Siemensstrasse 43, 8530 Deutschlandsberg

**Zusammenfassung** – ESD-Schutzstrukturen mit einer Snapback-behafteten U/I-Kennlinie kommen zunehmend in on- und off-Chip-Schutzkonzepten zum Einsatz. Neben der stark nichtlinearen U/I-Kennlinie kann der Spannungsrücksprung abhängig vom Modellierungsansatz zu Konvergenzproblemen in Simulationen führen. In diesem Paper werden verschiedene Modelle vorgestellt und mithilfe von Messdaten verifiziert. Es wird ein Modell präsentiert, welches eine überwiegend stabile Simulation ermöglicht. Dieses Modell wird in verschiedenen komplexeren Konfigurationen validiert, um die universelle Anwendbarkeit zu zeigen.

**Abstract** –ESD protection concepts often consist of elements with Snapback behavior. These types of protection elements are used in on- and off-chip-protection concepts. The highly non-linear behavior creates convergence difficulties in simulation setups. In this paper different models are proposed to simulate ESD protection elements with snapback behavior. Simulation results were compared to measurements to verify the different simulation approaches. The model with the best performance is also used in a complex setup.

## 1 Einleitung

In der Entwicklung von integrierten Schaltungen hat der Entwurf von Schutzeinrichtungen gegen Elektrostatischen Entladungen (ESD) einen wichtigen Stellenwert. Die simulationstechnische Untersuchung des ESD-Verhaltens eines Systems gewinnt zunehmend an Attraktivität. Die größten Vorteile sind neben dem Kostenaspekt eine schnelle Bewertung und die eventuelle Modifikation eines gewählten Schutzkonzepts. Viele on- und off-Chip ESD Schutzstrukturen weisen nach dem Einschalten einen Rücksprung in der Spannung auf, der als Snapback bekannt ist und die thermische Belastung durch Reduktion der umgesetzten Leistung herabsetzt. Abbildung 1 vergleicht eine Snapback behaftete U/I-Kennlinie mit einer klassischen Diodenkennlinie im ESD-Entwurfswindow. Der Spannungsrücksprung führt dazu, dass die Kennlinie nicht mit einer Funktion beschrieben werden kann, wie es bei Varistoren und Dioden möglich ist. Das bedeutet, dass der Betriebszustand des Bauelements mit alleiniger Angabe der Spannung nicht eindeutig definiert ist. Diese Eigenschaft stellt eine große Herausforderung an ein Netzwerksimulationsprogramm dar. In dieser Arbeit wurde das Open-Source-Programm *Qucs* (Quite Universal Circuit Simulator) verwendet, die Ergebnisse sind aber auch auf andere Programme übertragbar.

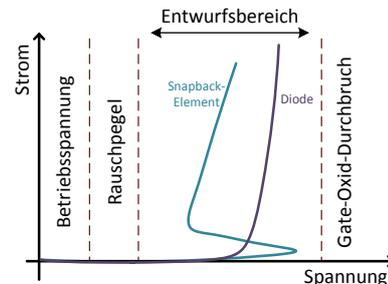


Abbildung 1: ESD-Entwurfswindow mit U/I-Kennlinien einer Diode und eines Snapback-behafteten Elements

Es werden verschiedene Ansätze für die Simulation eines Schutzelements mit Snapback-behafteter U/I-Kennlinie untersucht und die Modelle mit Messdaten parametrisiert. Die Leistungsfähigkeit vorgestellter Modellierungsansätze wird in verschiedenen Setups untersucht und die Simulationsergebnisse mit Messungen validiert. Die Ursachen von numerischen Problemen in der Simulation werden lokalisiert und die Modelle anhand Robustheit, Konvergenz der Simulation und universelle Anwendbarkeit beurteilt. Das Simulationsmodell mit der besten Performance wird für Untersuchungen auf Systemebene verwendet. Simulationsergebnisse für ein Beispielsystem mit Snapback-behafteten on- und off-Chip Schutzelementen werden vorgestellt. Die komplexen Wechselwirkungen werden untersucht

und die simulierten Ströme und Spannungen mit Messergebnissen verglichen.

## 2 Modellierung

Im folgenden Abschnitt werden vier untersuchte Modellierungsansätze erläutert. U/I-Kennlinien verschiedener on- und off-Chip-Schutzelemente werden in einem TLP-Aufbau gemessen. Aus den Kennlinien werden charakteristische Punkte extrahiert und mithilfe dieser die Parameter der Modelle berechnet. Dabei handelt es sich um den Durchbruchpunkt  $(U_{DB}, I_{DB})$ , den Haltepunkt  $(U_H, I_H)$  und zwei weitere Punkte  $((U_1, I_1)$  und  $(U_2, I_2)$ ), im Hochstrombereich der Kennlinie. Eine exemplarische U/I-Kennlinie und die beschriebenen Punkte sind in Abbildung 2 dargestellt.

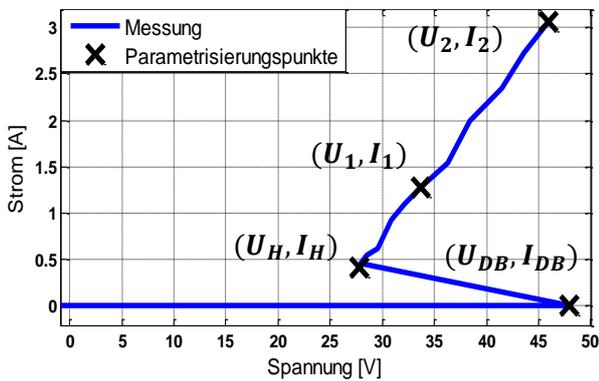


Abbildung 2: Ermittlung der Parametrisierungspunkte

### 2.1 Funktionenmodell

Die Idee des Funktionenmodells ist es, die U/I-Kennlinie mit Hilfe einer einzelnen analytischen Funktion der Form  $U(I)$  zu beschreiben. Eine stetig differenzierbare Funktion, die diese Voraussetzungen an die U/I-Kennlinie erfüllt und für jede mögliche Wahl von Durchbruch- und Haltepunkt parametrisiert werden kann, zeigt Gleichung (1).

$$U(I) = \underbrace{a \cdot I + b}_{f_1(I)} - \underbrace{c \cdot e^{-d \cdot I}}_{f_2(I)} + \underbrace{f \cdot e^{-g \cdot (I-h)^2}}_{f_3(I)} \quad (1)$$

Abbildung 3 zeigt den Verlauf einzelner Funktionsterme und die Gesamtkennlinie einer Funktionsvorschrift für die Beschreibung eines Snapback-behafteten IC-Pins.

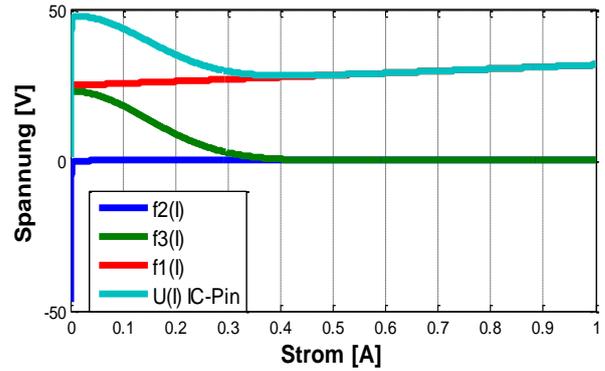


Abbildung 3: Funktion für die Modellierung eines IC-Pin

Für die Implementierung dieses Modells in Qucs wird ein Equation Defined Device (kurz EDD) verwendet. In einem solchen Block kann der Zusammenhang zwischen Strom und Spannung durch eine Funktion der Form  $I(U)$  angegeben werden. Um die Kennlinie der Form  $U(I)$  zu erhalten, müsste die Umkehrfunktion der Formel (1) bestimmt werden. Da die Funktion nicht bijektiv ist, graphisch bereits an der fehlenden Monotonie zu erkennen, existiert in diesem Fall keine Umkehrfunktion. Zur Realisierung in der Simulation wird deshalb ein Gyrator verwendet, der Strom und Spannung mit dem Faktor 1 ineinander umsetzt. Die ermittelte Funktionsvorschrift des Snapback-behafteten Elements kann durch einfaches Vertauschen von  $U$  und  $I$  mit einem EDD realisiert werden. Das Qucs-Modell ist Abbildung 4 zu entnehmen.

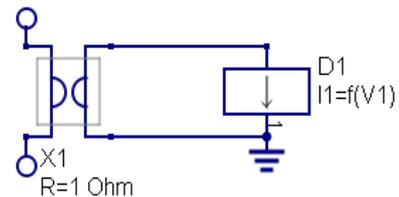


Abbildung 4: Implementierung des Funktionenmodells in Qucs

### 2.2 Stufenmodell

Dieses Modell beschreibt eine nichtlineare Kennlinie mithilfe von stückweise definierten linearen Funktionen. Das Modellierungskonzept wurde in [1] und [2] beschrieben und erläutert. Die U/I-Kennlinie des Elements wird dabei als Funktion der Spannung in Abhängigkeit vom Strom betrachtet. Um beliebige Kennlinienformen zu approximieren, werden drei verschiedene Grundformen stückweise definierter linearer Funktionen benötigt. Die drei Funktionstypen sind

in Abbildung 5 dargestellt, und werden im Folgenden auch als Stufen bezeichnet.

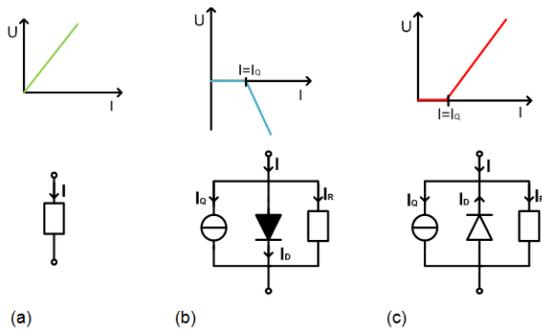


Abbildung 5: Schaltungen und zugehörige U/I-Kennlinien der Stufe 1 (a), Stufe (c) und Stufe 3 (b)

Die U/I-Kennlinie eines Snapback-behafteten Elements kann durch drei Geradenabschnitte mit unterschiedlicher Steigung approximiert werden. Der Entwurf der Gesamtkennlinie aus den einzelnen Funktionstermen und das ESB des Gesamtmodells sind in Abbildung 6 dargestellt. Die Addition der Funktionen wird schaltungstechnisch mit einer Reihenschaltung der Stufen realisiert. Die Parametrisierung des Modells erfolgt durch die Dimensionierung der Widerstände und der Stromquellen. Je nach Wahl der Werte für die Stromquellen werden die einzelnen Schaltungen bei unterschiedlichen Strömen aktiv. Die Werte der Stromquellen für eine vorgegebene Parametrisierung werden durch die Stromwerte an den Knickstellen der Funktion vorgegeben.

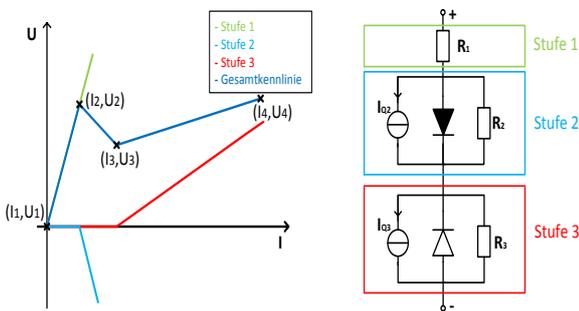


Abbildung 6: Kennlinien der einzelnen Stufen und der Gesamtkennlinie

Die für die Parametrisierung benötigten Widerstandswerte lassen sich anhand der rekursiven Formel (2) berechnen.

$$R_n = \frac{U_n - U_{n-1}}{I_n - I_{n-1}} - \sum_{k=1}^n R_k \quad \text{mit } n = 1, \dots, m \quad (2)$$

- $R_n$  Widerstand der n-ten Stufe [ $\Omega$ ]
- $I_n$  Strom am Endpunkt des Geradenabschnitts [A]
- $U_n$  Spannung am Endpunkt des Geradenabschnitts [V]

- $I_{n-1}$  Strom am Startpunkt des Geradenabschnitts [A]
- $U_{n-1}$  Spannung am Startpunkt des Geradenabschnitts [V]
- $m$  Anzahl der zu berechnenden Stufen [-]

Das Stufenmodell bietet die Möglichkeit, unterschiedliche nichtlineare Kennlinien, mit und ohne Snapback, zu approximieren. Dies ist möglich, da alle nichtlinearen Funktionen mit stückweise linearen Funktionen angenähert werden können und da die Berechnung der Parameter allein auf der Angabe der Start- und Endpunkte der linearen Abschnitte beruht.

### 2.3 Schaltermodell

Die Grundidee dieses Modells ist es, die U/I-Kennlinie im Vordurchbruchbereich  $I < I_{DB}$  und Hochstrombereich  $I > I_H$  jeweils mit einer Geradengleichung zu beschreiben. Ein ähnlicher Ansatz ist in [3] beschrieben. Die Kennlinien und die für die Simulation verwendete Schaltung sind in Abbildung 7 dargestellt. Der Strom weist im Bereich des Snapbacks eine geringere Empfindlichkeit auf und eignet sich aus diesem Grund besser als eindeutiges Einschaltkriterium. Die Geraden werden durch Widerstände und eine DC-Spannungsquelle nachgebildet. Der Wechsel zwischen den beiden Geraden wird mit einem stromgesteuerten Schalter realisiert.

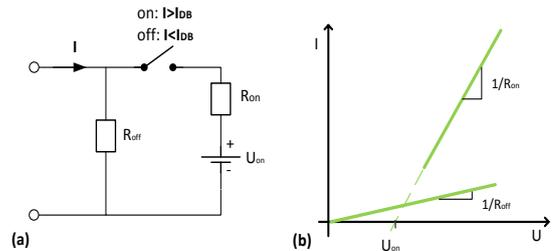


Abbildung 7: Schaltermodell (a) Schaltung (b) Kennlinie

Um für das Aus- und Einschaltverhalten getrennte Stromwerte implementieren zu können, kann ein Schalter mit Hysterese verwendet werden. Damit genügt das Modell der Anforderung, dass beim Ausschalten des Elements kein erneuter Spannungssprung auftritt, was bei Messungen beobachtet wurde.

### 2.4 Makromodell

Das Makromodell versucht die physikalischen Vorgänge bei einem Snapback in einer ggNMOS-Struktur mit Hilfe eines Ersatzschaltbildes zu modellieren. Das in [4] vorgestellte Modell bildet den parasitären Bipolartransistor nach, dessen Durchbruch das charakteristische Verhalten eines

Snapbacks verursacht. Das Ersatzschaltbild des Makromodells ist in Abbildung 8 dargestellt.

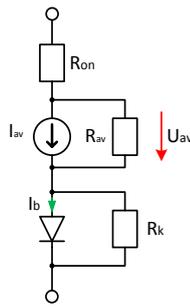


Abbildung 8: Ersatzschaltbild Makromodell

Der Durchbruch wird mithilfe einer Diode und einer abhängigen Stromquelle modelliert. Der Zusammenhang von Strom und Spannung der Diode und der Stromquelle können jeweils mit einer Gleichung beschrieben werden (siehe [5]). In der Simulation können diese mithilfe von Equation Defined Devices umgesetzt werden.

### 3 Verifikation der Modelle

Die Simulationsmodelle können durch den Vergleich von Simulation und Messung verifiziert werden. Die verwendete Schaltungskonfiguration ist in Abbildung 9 dargestellt.

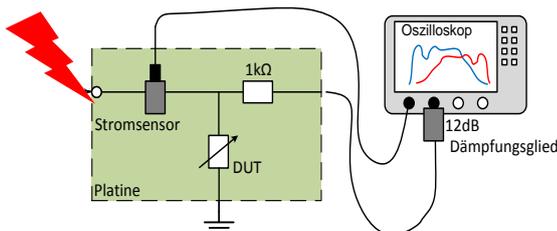


Abbildung 9: Testspezifikation der Modell-verifikation

Es werden zwei verschiedene Pulsformen verwendet, die dazu geeignet sind, ESD-Strukturen zu testen. Die Schutzelemente werden direkt mit dem Testimpuls belastet und die transienten Ströme und Spannungen gemessen. Es werden TLP und IEC-ESD-Pulse zur Untersuchung genutzt.

#### 3.1 U/I-Kennlinie

Die Simulation der U/I-Kennlinie zeigt, welche Charakteristik die einzelnen Modelle nach der Parametrisierung besitzen und welche Unterschiede die Modelle im Vergleich zur gemessenen U/I-Kennlinie aufweisen. Die Charakterisierung der U/I-Kennlinie erfolgt anhand einer Simulation mit einem langsam ansteigenden Spannungspuls, so dass die U/I-Kennlinien der Modelle vollständig

durchlaufen werden. Es wird dazu eine Rechteckpulsquelle mit einer Anstiegszeit von 1 ms und einem Quellenwiderstand von 100 Ω verwendet. Der Vergleich der Simulationsergebnisse der verschiedenen Modellierungsansätze ist in Abbildung 10 dargestellt.

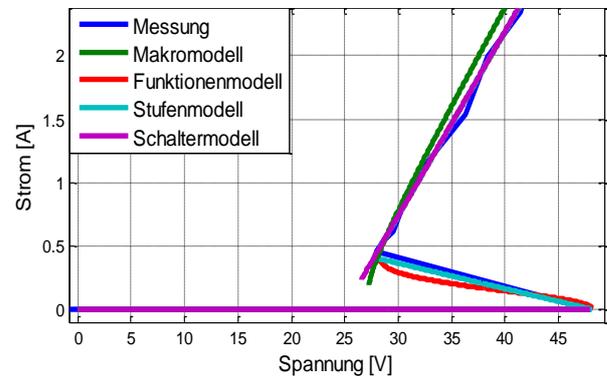


Abbildung 10: Vergleich der U/I-Kennlinien der Modelle (Simulation mit Quellenwiderstand 100 Ω) mit der Messung für IC-Pin2

Alle Simulationsergebnisse besitzen die geforderte Snapback behaftete Charakteristik und bilden die reale Kennlinie mit hoher Genauigkeit nach. Die Simulation mit dem Makromodell zeigt jedoch schon bei geringer Variation der Simulations- und Implementierungsparameter ein instabiles Verhalten. Des Weiteren ist schon bei einer solchen einfachen Konfiguration ein größerer Approximationsfehler im Vergleich zu den Ergebnissen der anderen Modelle zu erkennen. Es weist nicht die benötigte Robustheit auf, um komplexe ESD-Schutzeinrichtungen simulieren zu können. In der folgenden Modellverifikation wird aus diesem Grund auf diesen Ansatz verzichtet.

#### 3.2 Transmission Line Pulse

Eine weit verbreitete Methode zur Charakterisierung von ESD-Schutzeinrichtungen ist die Verwendung eines Transmission Line Pulse (kurz TLP). Die Ergebnisse der transienten Spannung und des Stroms eines untersuchten Schutzelements sind in den Abbildung 11 und 12 dargestellt. Es ist die Verifikation einer TVS-Diode für einen Puls mit einer Ladespannung von 400 V dargestellt. Das Funktionsmodell und das Schaltermodell führen zu denselben Simulationsergebnissen. Das Stufenmodell führt aufgrund von Konvergenzproblemen zu keinem Ergebnis. Es zeigt sich, dass das Schaltermodell Probleme bei der Parametrisierung mit geringen Leckströmen besitzt. Das Einschalten des Schutzelements und auch die sich einstellende Klemmspannung werden quantitativ korrekt nachgebildet. Unter

Berücksichtigung der auftretenden Bauteiltoleranzen ist auch der Stromverlauf korrekt nachgebildet.

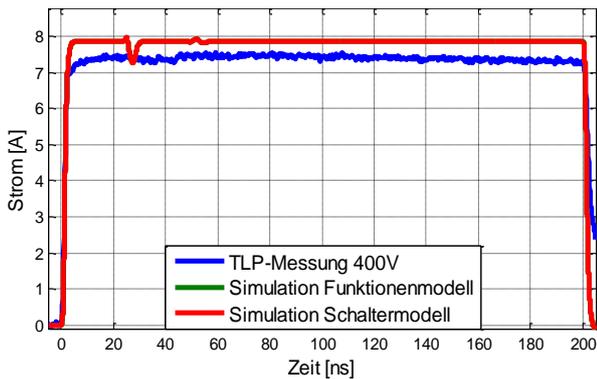


Abbildung 11: Verifikation des Stromverlaufs bei einer TLP-Messung einer TVS-Diode (Ladespannung 400 V)

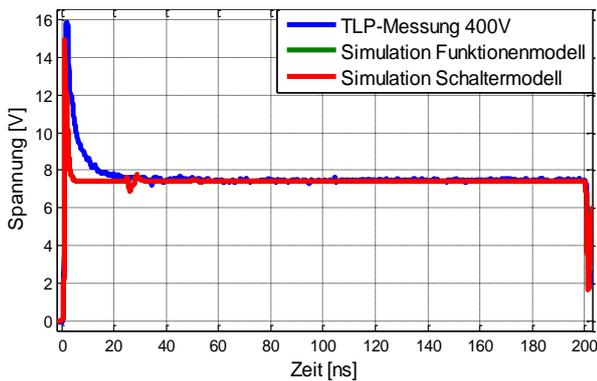


Abbildung 12: Verifikation des Spannungsverlaufs bei einer TLP-Messung einer TVS-Diode (Ladespannung 400 V)

### 3.3 IEC-ESD-Puls

Die Modelle werden ebenfalls mit einem IEC-ESD-Puls (NoiseKen ESD Generator) verifiziert.

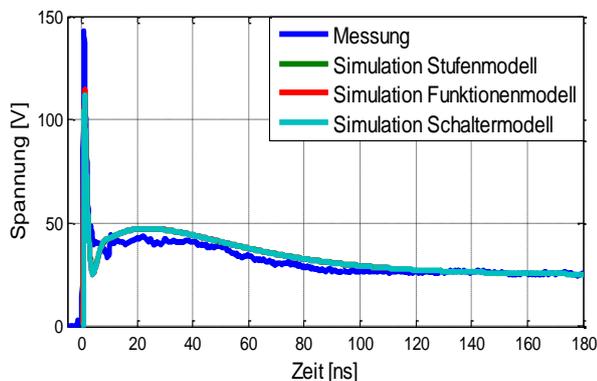


Abbildung 13: Verifikation des Spannungsverlaufs eines IC-Pin (Ladespannung 1,5 kV)

Der Vergleich von Messung und Simulation für die Spannung an einem IC-Pin ist in Abbildung 13

dargestellt. Die Simulationsergebnisse sind für alle Modelle identisch. Es lässt sich bei allen durchgeführten Simulationen zeigen, dass die Modelle das reale Verhalten unter Berücksichtigung aller auftretenden Toleranzen gut abbilden.

### 3.4 Ergebnisse der Modellverifikation

Die Simulationsergebnisse unter Belastung mit unterschiedlichen Störimpulsen haben gezeigt, dass alle drei Modelle das Einschaltverhalten eines Snapback-behafteten Schutzelements gut wiedergeben. Die Eignung der Modelle ist stark abhängig von der Parametrisierung.

Die Messungen haben gezeigt, dass Snapback-behaftete Schutzelemente beim Ausschalten keinen Spannungsanstieg aufweisen. Dieses Verhalten kann durch das Stufenmodell und das Funktionsmodell nicht nachgebildet werden, da diese Modelle im Gegensatz zum Schaltermodell keine Hysterese besitzen. In den durchgeführten Simulationen zeigt das Stufenmodell bei Parametervariationen ein instabiles Verhalten, wobei Parametrisierungen mit kleinen Leckströmen ( $I_D < 1\mu A$ ) besonders kritisch sind. Das Funktionsmodell erfordert eine aufwändigere Implementierung und das fehlerhafte Ausschaltverhalten kann nicht durch einfache Maßnahmen behoben werden. Das Schaltermodell benötigt nur wenige einfach zu bestimmende Parameter und zeigt keinerlei Konvergenzprobleme. Die Verifikation hat gezeigt, dass das Schaltermodell den Anspruch an robuste Simulation von komplexen Konfigurationen am besten erfüllt.

## 4 Untersuchung auf Systemebene

Da Schutzkonzepte in den meisten Fällen aus mehreren Schutzstufen und somit aus mehreren Schutzelementen bestehen, soll das Zusammenwirken von mehreren Schutzelementen simuliert werden. Die Untersuchung auf Systemebene beinhaltet eine Parallelschaltung aus zwei Snapback-behafteten Bauelementen.

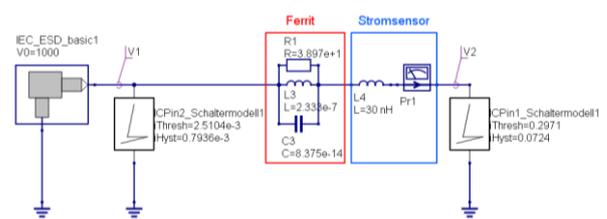


Abbildung 14: Simulationssetup mit parallelen Schutzelementen

Der Einsatz mehrerer Bauelemente führt zu komplexen Wechselwirkungen, die einen hohen Anspruch an ein Simulationstool darstellen. In der durchgeführten Untersuchung werden die beiden Schutzelemente induktiv mit einem Ferrit entkoppelt und mit einem IEC-ESD-Puls der Ladespannung von 1 kV belastet. Die Snapback-behafteten Elemente werden mithilfe des Schaltermodells modelliert. Der *Qucs*-Simulationssetup für diese Schaltungskonfiguration ist in Abbildung 14 dargestellt.

Die Verifikation der Simulationsergebnisse erfolgt anhand des Vergleichs der Ergebnisse von Messung und Simulation. Die Spannung am IC-Pin2 ist in Abbildung 15 dargestellt. Im Spannungsverlauf ist das zeitlich getrennte Einschaltverhalten der beiden Snapback-behafteten Schutzelemente zu erkennen und wird durch die Simulation gut approximiert. Die Stromaufnahme des IC-Pin1 ist in Abbildung 16 dargestellt. Dieser Verlauf wird ebenfalls hinreichend genau approximiert.

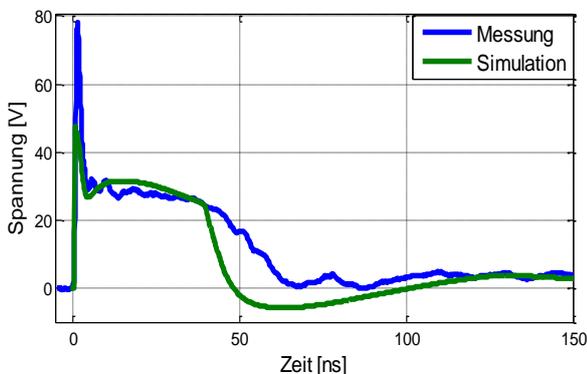


Abbildung 15: Vergleich von Messung und Simulation der Spannung am IC-Pin2 (Ladespannung 1 kV)

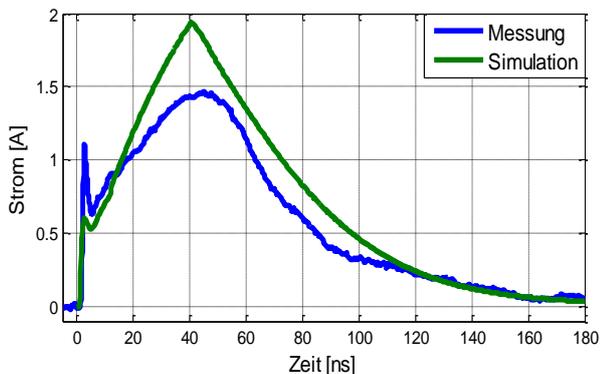


Abbildung 16: Vergleich von Messung und Simulation der Strom durch IC-Pin1 (Ladespannung 1 kV)

Die Untersuchung des Verhaltens zweier paralleler Schutzelemente hat gezeigt, dass die Simulation

mit *Qucs* und das verwendete Modell gut geeignet sind, um auch komplexere Anordnungen zu simulieren. Die Simulation ist robust und stellt keine besonderen Ansprüche an die Wahl der Simulationsparameter.

## 5 Zusammenfassung

Verschiedene Modellierungsansätze für Snapback-behaftete Bauelemente wurden entwickelt und Modelle für das Schaltungssimulationsprogramm *Qucs* implementiert. Grundsätzlich sind alle vorgestellten Modellierungsansätze gut geeignet, um das charakteristische Verhalten nachzubilden. Die Snapback-behaftete Kennlinie stellt aber besondere Ansprüche an den Simulator. Mit dem Funktionen- und Stufenmodell kann nicht immer die Simulationskonvergenz sichergestellt werden. Das Modell, welchem ein Schalter zugrunde liegt, erfüllt die Anforderungen an die Robustheit der Simulation in allen untersuchten Schaltungskonfigurationen. Es kann einfach durch das Implementieren einer Hysterese optimiert werden, die das Ausschaltverhalten des realen Schutzelements nachbildet.

## Literatur

- [1] B. Orr, P. Maheshwari, D. Pommerenke, H. Gossner und W. Stadler, Analysis of Sharing in Large and Small-Signal IC Pin Models, *Electrostatic Discharge Symposium*, pp.1-6, 2014
  - [2] R. P. Santoro, Piecewise-Linear Modeling of I-V Characteristics with SPICE, *IEEE Transaction on Education*, Volume: 38, Issue: 2, pp. 107-117, Mai 1995
  - [3] B. Arndt, F. zur Nieden und S. Frei, Modellierung und Simulation der ESD-Zerstörfestigkeit von integrierten Schaltungen in KFZ-Anwendungen, *EMV-Düsseldorf*, 2012
  - [4] C.Jiao und Z. Yu, A Robust Novel Technique for SPICE Simulation of ESD Snapback Characteristic, *In Proceedings of the 36th EOS/ESD Symposium*, pp. 1367-1369, 2006
- C.Jiao und Z. Yu, A Novel GGNMOS Macro-Model for ESD Circuit Simulation, *Chinese Journal of Electronics*, Volume: 18, No. 4, Okt. 2009